

## ⑫ 公開特許公報(A)

昭63-39418

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)2月19日

H 02 H 3/087

8324-5G

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 過電流保護回路

⑮ 特 願 昭61-180209

⑯ 出 願 昭61(1986)8月1日

⑰ 発 明 者 佐 藤 光 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 臼 井 喜 則 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外3名

## 明 細 書

## 1. 発明の名称

過電流保護回路

## 2. 特許請求の範囲

1. 入力電源に直列に接続されるFET(1)と、

電源が投入されると該FET(1)のゲート・ソース間に所定の時定数で電圧を印加する遅延回路(2)と、

発光素子(4)を備え、負荷電流が所定値以上流れたときに該発光素子(4)が発光する過電流検出回路(3)と、

該FET(1)のゲート・ソース間に接続され、該発光素子(4)が発光するとオンするホトサイリスタ(5)と、

該ホトサイリスタ(5)がオンした場合、所定時間後に該ホトサイリスタ(5)をオフにするリセット回路(6)と、

を具備する過電流保護回路。

## 3. 発明の詳細な説明

## (概 要)

過電流保護回路であって、電源に直列接続されたFETを制御することにより、電源投入時の突入電流が負荷に流れるのを防止すると共に、過電流を検出した場合、一旦FETをオフにし、所定時間後に再度FETをオンすることにより、遮断状態から給電状態への自動復旧を可能にする。

## (産業上の利用分野)

本発明は過電流保護回路に関し、特に、突入電流防止機能を備えた自動復旧型過電流保護回路に関する。

## (従来技術)

従来、一般の電源装置70は、第3図に示すように、負荷73の短絡などの障害から該装置70を保護するための過電流抑制回路71を必要としていた。また、入力電源投入時に発生する突入電流が電源装置70に流入するのを防止するため、

(1)

(2)

突入電流防止回路72を必要としていた。

(発明が解決しようとする問題点)

従来の電源装置70は過電流抑制回路71を内蔵していたため、電源装置70の回路が複雑になるという問題があった。また、従来の突入防止回路72には、該回路がリレー等を使用しているため、サイズが大きいという不都合があった。

本発明はこのような点に鑑みて創作されたもので、例えば電源装置の回路の容易化を図るために使用される、突入電流防止機能を備えた小型の自動復旧型過電流保護回路を提供することを目的とする。

(問題点を解決するための手段)

第1図は本発明の原理図である。

第1図において、1はFETであり、FET1は入力電源に直列に接続されており、そのゲート・ソース間には所定の時定数を有する遅延回路2が接続されている。

(3)

時点からの所定時間後にリセット回路6はホトサイリスタ5をオフにする。この結果、FET1は再びオンする。そして、この間に負荷が正常状態に回復している場合には、負荷への給電が自動的に再開される。また、負荷の異常状態が継続しているときには、上記動作が繰り返される。

(実施例)

第2図は本発明に係る過電流保護回路の実施例を示す回路図である。同図において、直流電源10と例えば電源装置等の負荷20との間に過電流保護回路30が介装されており、過電流保護回路30と直流電源10との間にはスイッチ11が設けられている。

過電流保護回路30は負荷電流I<sub>o</sub>の通電路を開閉するパワーFET31を備え、FET31のゲートはダイオード32、抵抗33及び抵抗34を介して正極側の入力端子35に接続されており、

FET31のソースとダイオード32のアノードとの間にはコンデンサ36が接続されている。更に、

(5)

3は過電流検出回路であり、過電流検出回路3は負荷電流が所定値以上流れたときに発光する発光素子4を備えている。

5はホトサイリスタであり、ホトサイリスタ5は発光素子4が発光するとオンする。

6はリセット回路であり、リセット回路6は、該ホトサイリスタ5がオンした場合、所定時間後にホトサイリスタ5をオフにする。

(作用)

入力電源が投入されると、FET1は遅延回路2の時定数に基づいて徐々にオンする。これにより、入力電源投入時に発生する突入電流の負荷への流入が防止される。

負荷異常により通電路に過電流が流れると過電流検出回路3の発光素子4が発光し、ホトサイリスタ5がオンする。この結果、FET1のゲート・ソース間がショートされ、FET1はオフとなり、通電路は遮断される。

ホトサイリスタ5がオンすると、そのオンした

(4)

FET31のゲート・ソース間にはツェナーダイオード37と抵抗38とから成る並列回路が接続されている。

FET31のドレインと負極側の出力端子39との間には発光ダイオード40と抵抗41とから成る並列回路が接続されている。

FET31のソースとダイオード32のアノードとの間にはホトサイリスタ42、ダイオード43及び抵抗44から成る直列回路と抵抗45とがそれぞれ接続されている。

ホトサイリスタ42とダイオード43との接続点にはトランジスタ46のベースが抵抗47及びダイオード48を介して接続され、トランジスタ46のエミッタは抵抗33と抵抗34との接続点に接続されている。また、トランジスタ46のコレクタは抵抗49及びコンデンサ50を介して負極側の入力端子51に接続されている。抵抗49とコンデンサ50との接続点にはツェナーダイオード52を介してトランジスタ53のベースが接続され、ツェナーダイオード52のカソードは抵

(6)

抗54を介して端子51に接続されている。トランジスタ53のコレクタはダイオード43のアノードに、エミッタは端子51にそれぞれ接続されており、ベース・エミッタ間には抵抗55が接続されている。

ツェナーダイオード52のカソードには抵抗56を介してトランジスタ57のコレクタが接続されており、トランジスタ57のベースはツェナー電圧がツェナーダイオード37のそれよりも低いツェナーダイオード58及び抵抗59を介してダイオード32のアノードに接続されている。そして、トランジスタ57のベース・エミッタ間には抵抗60が接続されている。

次に、上記構成の動作を説明する。

スイッチ11が閉成されると、FET 31のゲート・ソース間には抵抗33、34及びコンデンサ36で決まる時定数で電圧が印加され、FET 31は徐々にオンする。これにより、スイッチ11の閉成時に発生する突入電流の負荷20への流入が防止される。そして、定常時にはFET 31のゲート・

ソース間電圧がツェナーダイオード37のツェナー電圧によってクランプされ、FET 31は完全なオン状態を維持する。このとき、負荷20には負荷電流 $I_0$ が流れるが、この負荷電流 $I_0$ では発光ダイオード40は発光するには至らない。

次に、負荷20で短絡が生じたものとする。通常の負荷電流 $I_0$ を大幅に超える過電流が流れる。このとき、過電流の大きさが予め設定した所定値よりも大きくなると、発光ダイオード40が発光する。すると、ホトサイリスタ42はその光でトリガされ、オンする。この結果、FET 31のゲート・ソース間がショートされるので、FET 31はオフとなり、負荷20への給電が遮断される。

また、ホトサイリスタ42がオンするとトランジスタ46がオンし、抵抗34、49及びコンデンサ50で決まる時定数でコンデンサ50の端子電圧が上昇する。そして、コンデンサ50の端子電圧がツェナーダイオード52のツェナー電圧に達するとトランジスタ53がオンし、ホトサイリスタ42のオン状態が解除される。この結果、再び

(7)

(8)

FET 31は抵抗33、34及びコンデンサ36で決まる時定数で徐々にオンになり、負荷20への給電が再開される。そして、ホトサイリスタ42がオンしてから負荷20への給電再開迄の間に負荷20の異常が除去されていない場合には、上記動作を繰り返す。

なお、トランジスタ57はコンデンサ50を放電するためのものであり、ツェナーダイオード58のツェナー電圧はツェナーダイオード37のそれよりも低い値に設定されているので、FET 31がツェナーダイオード37でクランプされる以前にコンデンサ50は放電される。

#### 〔発明の効果〕

以上説明したように、本発明の過電流保護回路は、突入電流が負荷に流入するのを防止すると共に、過電流を検出すると負荷電流の通電路を一旦遮断し、しかる後に再び給電状態に復旧する。従って、本発明回路が例えば電源装置の前段に配設されることにより、電源装置は過電流抑制回路を

省略することが可能となり、電源装置の回路の簡易化が図れると共に、本発明回路は突入電流防止機能を有しているので、突入電流防止回路を別個に設ける必要がなく、且つ電源の制御範囲も定積負荷範囲内でよくなるため、電源装置の小型化が図れる。

また、本発明の過電流保護回路によれば、一時的な負荷短絡が発生しても負荷電流が正常状態に回復すると自動的に給電が再開されるので、保守運用が容易である。

更に、本発明回路においては、突入電流の抑制にFETを用いているので、回路規模の小型化が図れる。

#### 4. 図面の簡単な説明

第1図は本発明の過電流保護回路の原理図、

第2図は本発明の実施例を示す回路図、

第3図は従来の電源系統を示すブロック図である。

1…FET、 5…ホトサイリスタ、  
30…過電流保護回路、 31…パワーFET、

(9)

(10)

40 --- 発光ダイオード、 42 --- ホトサイリスタ。

特許出願人

富士通株式会社

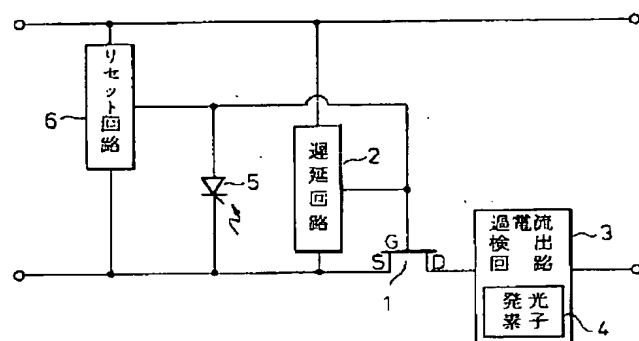
特許出願代理人

弁理士 奇 木 朗

弁理士 西 舘 和 之

弁理士 内 田 幸 男

弁理士 山 口 昭 之



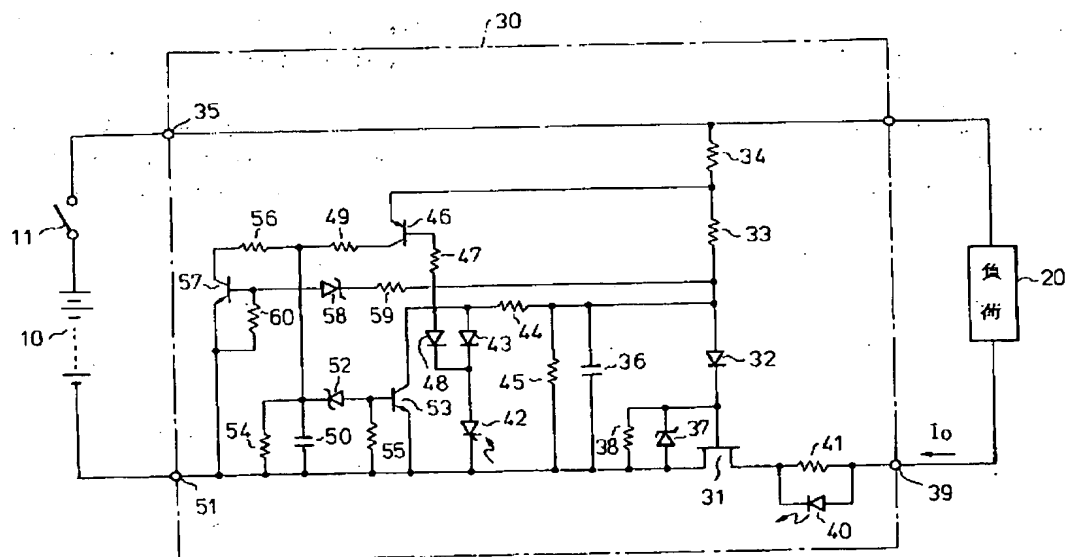
本発明の原理図

第 1 図

1 --- FET

5 --- ホトサイリスタ

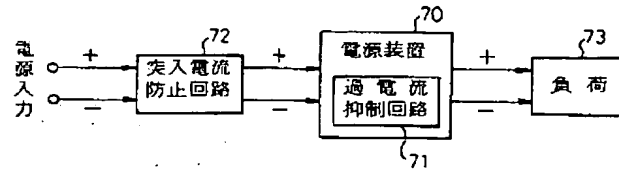
(11)



本発明の実施例を示す回路図

第 2 図

30 --- 過電流保護回路



従来の電源系統を示すブロック図

第 3 図